



## PATENT ABSTRACTS OF JAPAN

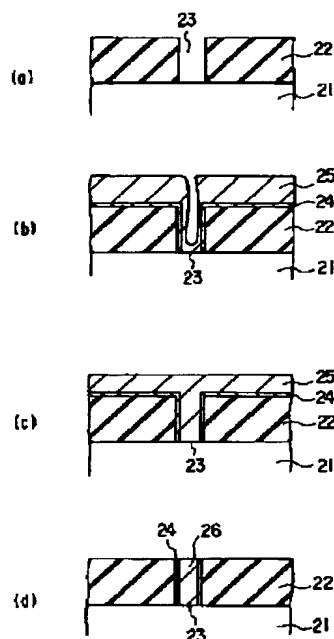
(11) Publication number: **10154709 A**(43) Date of publication of application: **09.06.98**(51) Int. Cl. **H01L 21/3205**(21) Application number: **09246963**(22) Date of filing: **11.09.97**(30) Priority: **25.09.96 JP 08253185**(71) Applicant: **TOSHIBA CORP**(72) Inventor: **FURUYAMA MITSUTOSHI  
KUBOTA TAKESHI**(54) **MANUFACTURE OF SEMICONDUCTOR DEVICE**

## (57) Abstract:

**PROBLEM TO BE SOLVED:** To improve embedding of Cu when forming fine contact holes in an ultra high-speed device using Cu.

**SOLUTION:** For example, a fin connection hole 23 is formed in an interlayer insulation film 22 on an Si substrate 21. In addition, after a CD-TiN film 24 approx. 10nm thick is formed on the insulation film 22, a Cu film 25 of approx. 1μm thick is formed thereon. At this time, the condition of film formation is controlled in a manner that the concentration of oxygen and sulphur in the film 25 may be made lower than a specified concentration, thereby forming the film 25 with high purity. Thus, the surface diffusion property and fluidity of the film 25 which is heated through laser irradiation at the time of embedding to the hole 23 can be enhanced.

COPYRIGHT: (C)1998,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-154709

(43) 公開日 平成10年(1998) 6月9日

(51) Int.Cl.<sup>8</sup>

H 0 1 L 21/3205

識別記号

F I

H 0 1 L 21/88

M

K

審査請求 未請求 請求項の数10 O L (全 9 頁)

(21) 出願番号 特願平9-246963

(22) 出願日 平成9年(1997) 9月11日

(31) 優先権主張番号 特願平8-253185

(32) 優先日 平8(1996) 9月25日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 古山 充利

三重県四日市市山之一色町800番地 株式

会社東芝四日市工場内

(72) 発明者 久保田 剛

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝多摩川工場内

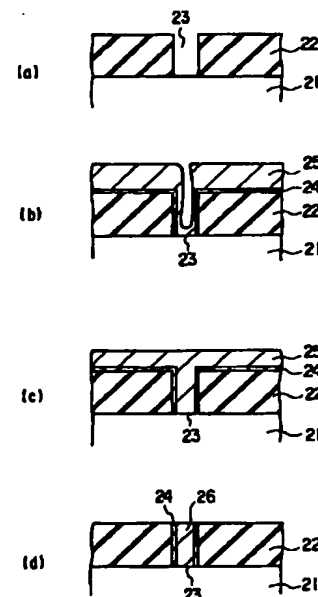
(74) 代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 本発明は、超高速デバイスでのCuによる微細なコンタクトホール形成において、Cuの埋め込み性を向上できるようにすることを最も主要な特徴とする。

【解決手段】 たとえば、Si基板21上の層間絶縁膜22に微細な接続孔23を形成する。また、絶縁膜22上に、CVD-TiN膜24を10nm程度の膜厚で形成した後、約1μm厚のCu膜25を形成する。このとき、Cu膜中の酸素濃度および硫黄濃度が一定濃度以下になるように成膜の条件を制御することで、高純度なCu膜25を形成する。これにより、接続孔23内への埋め込み時に、レーザ照射によって加熱されるCu膜25の表面拡散性および流動性を促進させるようになっている。



## 【特許請求の範囲】

【請求項1】 半導体基板上の絶縁膜に埋め込み型の配線を形成する半導体装置の製造方法において、

前記埋め込み型の配線を、酸素濃度が3ppm以下の、高純度なCuを用いて形成するようにしたことを特徴とする半導体装置の製造方法。

【請求項2】 前記配線の形成に用いられるCuは、硫黄濃度が3ppm以下であることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】 前記配線の形成に用いられるCuは、レーザー照射による加熱によって、前記絶縁膜に形成された凹部内に埋め込まれることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項4】 前記配線の形成に用いられるCuのうち、余分なCuは、CMPによる研磨によって、前記絶縁膜の表面より除去されることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項5】 半導体基板上の絶縁膜に配線を形成するための凹部を形成する工程と、前記凹部が形成された前記絶縁膜の表面に、バリアメタル層を介して、酸素濃度が3ppm以下の、高純度なCu膜を形成する工程と、前記Cu膜を熱処理して前記凹部内に埋め込む工程と、前記凹部内を除く、前記絶縁膜の表面に残る不要なCu膜を除去する工程とからなることを特徴とする半導体装置の製造方法。

【請求項6】 前記凹部内に埋め込まれるCu膜は、硫黄濃度が3ppm以下であることを特徴とする請求項5に記載の半導体装置の製造方法。

【請求項7】 前記Cu膜の熱処理は、レーザー照射によって行われることを特徴とする請求項5に記載の半導体装置の製造方法。

【請求項8】 前記不要なCu膜の除去は、CMPによって行われることを特徴とする請求項5に記載の半導体装置の製造方法。

【請求項9】 前記凹部は、配線溝であることを特徴とする請求項3または請求項5のいずれかに記載の半導体装置の製造方法。

【請求項10】 前記凹部は、配線接続孔であることを特徴とする請求項3または請求項5のいずれかに記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、半導体装置の製造方法に関するもので、特に、超高速デバイスのような半導体デバイスでの純銅配線の形成に用いられるものである。また、自動車やその他の製品に使用することができる、インテリジェントパワーデバイス(IPD)のような、ある主の個別デバイスとしても使用できる半導体デバイスにおける純銅配線の形成に関するものである。

## 【0002】

【従来の技術】通常、半導体デバイスにおいては、配線を細くすると、配線抵抗の増加の結果として、動作速度が低下する。配線材料として、一般的に用いられているAl合金よりも電気抵抗の小さいCuによって、超高速デバイスに配線を形成する試みがこれまでにも行われている。

【0003】従来、配線の形成はレジストをマスク材とした反応性イオンエッチング(RIE)によっていた。この方法の場合、フッ素、塩素、臭素などを含むガスをプラズマ中で励起させることにより、Alをハロゲン化合物の形でエッチングするものであった。

【0004】ところが、Cuはハロゲン化合物としての蒸気圧がAlに比べて低いため、もし、上記したRIEによる方法で実用的なエッチングレートを得るには200℃～300℃以上の高温が必要となる。このため、高温に耐えるチャンバの製作、エッチングと異方性との両立性の向上、さらには、マスク材の選定など、実現には種々の困難があった。

【0005】これらの困難を克服するための試みとして、Cuの、RIE法によらない埋め込み配線への適用の検討が盛んに行われている。図7は、Cuによる埋め込み配線を形成するための、最も一般的な方法を概略的に示すものである。

【0006】まず、Si基板1上の層間絶縁膜2に、所望の配線パターンにしたがって溝3を形成する(同図(a)参照)。続いて、上記絶縁膜2上に、Si中へのCuの拡散を防止するための粘着層4を介してCu膜5を形成し、上記溝3内を埋め込む(同図(b)、(c)参照)。

【0007】しかる後、上記溝3以外に残る余分なCu膜5などを化学機械研磨(CMP)法によって除去することで、Cuの埋め込み配線6が形成される(同図(d)参照)。

【0008】さて、このようなCuの埋め込み配線の形成方法において、CMP技術とともに、重要で、かつ、非常に困難性が高いのが、溝3内をCuによって埋め込むための技術である。

【0009】Cuを埋め込むための技術としては、たとえば、気相成長(CVD)法によってCuを溝の側面や底面に同じように堆積させて埋め込む方法と、スパッタリング法によって堆積させたCuを熱処理することで溝内に埋め込む方法の、二つに大別することができる。

【0010】しかし、CVD法を応用したCuの埋め込みに関しては量産化などの技術的な面でいまだ未知な部分が多く、スパッタリング法を応用したCuの埋め込みが最初の量産化技術として期待されている。

【0011】スパッタリング法を応用したCuの埋め込みには、熱処理の方法として、Cuのスパッタリング時にSi基板を加熱する方法と、スパッタリングによって

堆積させたCuを加熱する方法とがある。

【0012】後者の、スパッタリング後にCuを加熱する方法は、加熱炉を使って一定の時間内にSi基板を全体的に加熱する加熱炉方式と、1ミリ秒以下の極短時間だけCuに短波長レーザを照射して、Cuを加熱炉方式の場合よりも高温に加熱するレーザ照射方式とに、さらに分類される。

【0013】しかしながら、上記したいずれの方法であっても、微細なコンタクトホールなどを有する次世代の超高速デバイスへの適用に必要なCuの埋め込み性を得るまでには至っていない。

【0014】図8は、Cuを用いて、微細なコンタクトホールを形成するための方法を概略的に示すものである。まず、Si基板1上の層間絶縁膜2に、上記Si基板1の表面に達する深さの接続孔7を形成する（同図（a）参照）。この接続孔7は、その開孔寸法が、たとえば、直径0.35mm、深さ1.0mmとされている。

【0015】次いで、上記絶縁膜2上に、10nm厚程度の粘着層4に続いて、スパッタリング法により約1mm厚のCu膜5を形成する（同図（b）参照）。そして、そのCu膜5をレーザ照射により加熱して、上記接続孔7内にCuを埋め込む（同図（c）参照）。

【0016】しかる後、上記接続孔7以外の場所に残る余分なCu膜5などをCMP法によって除去することで、Cuによる微細なコンタクトホール8が形成される（同図（d）参照）。

【0017】ところが、このようにして形成されたCuの微細コンタクトホール8には、ボイド（穀）9が発生しやすいという問題がある。これは、Cuの埋め込み性が低いと、特に、径に対する深さの比であるアスペクト比が高い接続孔内を、Cuにより完全に埋め込むのが難しいためである。

【0018】こうしたボイド9は、たとえば、アスペクト比が1.25以上、つまり、深さ1.0mmに対して径が0.8mm以下の接続孔の場合に、確実に形成されることが確認されている。

【0019】ボイド9の発生は、結果として、デバイス動作時に微細コンタクトホール8の上下方向に流れる電流の密度を部分的に増大させることになり、信頼性の低下を招く原因となる。このように、Cuの埋め込み性が十分でないため、残念ながら、次世代の超高速デバイスへのCuの埋め込み配線の適用は実現されていない。

【0020】

【発明が解決しようとする課題】上記したように、従来においては、Cuの埋め込み性が不十分なため、次世代の超高速デバイスへのCuの埋め込み配線の適用には困難があった。そこで、この発明は、Cuの埋め込み性を向上でき、Cuを用いた埋め込み配線の、次世代の超高速デバイスへの適用を可能とする半導体装置の製造方法

を提供することを目的としている。

【0021】

【課題を解決するための手段】上記の目的を達成するために、この発明の半導体装置の製造方法にあっては、半導体基板上の絶縁膜に埋め込み型の配線を形成する場合において、前記埋め込み型の配線を、酸素濃度が3ppm以下の、高純度なCuを用いて形成するようになって

いる。  
【0022】また、この発明の半導体装置の製造方法にあっては、半導体基板上の絶縁膜に配線を形成するための凹部を形成する工程と、前記凹部が形成された前記絶縁膜の表面に、バリアメタル層を介して、酸素濃度が3ppm以下の、高純度なCu膜を形成する工程と、前記Cu膜を熱処理して前記凹部内に埋め込む工程と、前記凹部内を除く、前記絶縁膜の表面に残る不要なCu膜を除去する工程とからなっている。

【0023】さらに、この発明の半導体装置の製造方法の好ましい形態としては、次のものが挙げられる。

（1）前記絶縁膜に設けられた凹部内に第一層および第二層からなる障壁層を形成する工程を具備する。

（2）半導体装置の製造において、2つの分離真空システムのプロセスチャンバを使用し、第1真空システム中の第1チャンバをスパッタリング用に割り当てる工程と、第1真空システム中の第2チャンバを化学蒸着用に割り当てる工程と、第2真空システム中の第3チャンバをCuまたは金属充填用に割り当てる工程とを具備する。

【0024】この発明の半導体装置の製造方法によれば、Cuの表面拡散性および流動性を促進できるようになる。これにより、従来はボイドが発生していた微細な凹部内にもCuを十分に埋め込むことが可能となるものである。

【0025】しかも、高純度なCuと障壁層との組み合わせによって、より低出力なレーザの使用、焼鈍温度の低下、および、高温Cuスパッタリングが可能となる。障壁層は、特徴的な特性を有する二重層構造、たとえば、TiおよびTiNから形成することができる。また、類似の特性を有する他の単一層または二重層構造を採用することも可能である。

【0026】

【発明の実施の形態】以下、この発明の実施の形態について図面を参照して説明する。図1は、本発明の実施の一形態にかかる、スパッタリング装置の概略構成を示すものである。

【0027】このスパッタリング装置は、DCマグネトロンスパッタリング法などによりSi基板上へのCu膜の成膜を行うもので、たとえば、スパッタリングチャンバ11、ガス供給源12、ガス精製器13、および、直流電源14を有して構成されている。

【0028】上記スパッタリングチャンバ11は、その

到達真空度を超高真空領域（たとえば、 $2 \times 10^{-7}$  Pa）にまで真空引きでき、スパッタリング中の酸素および水分の侵入を極限まで抑えることが可能な構造とされている。

【0029】上記ガス供給源12は、上記スパッタリングチャンバ11内に供給するスパッタリングガスを貯蔵するものである。スパッタリングガスとしては、99.9999%の高レベルの純度を有するArが用いられる。

【0030】上記ガス精製器13は、上記スパッタリングチャンバ11のガス導入口の直前に設けられ、上記ガス供給源12からのスパッタリングガスの、ユースポイントでのAr中の酸素濃度および水分濃度を極限（たとえば、酸素濃度を0.1ppb (parts-per-billion) に、水分濃度を0.7ppbに）まで低減させるようになっている。

【0031】上記直流電源14は、スパッタリング時に、上記スパッタリングチャンバ11内のホルダ部11a上に保持されたSi基板21に正の電圧を、ターゲット材としてのCuターゲット15に負の電圧を、それぞれ印加するようになっている。

【0032】上記Cuターゲット15には、99.9999%の高レベルの純度で、かつ、低酸素濃度を有する材料（たとえば、酸素濃度が0.1ppm (parts-per-million) 以下であり、硫黄濃度が0.05ppm程度のもの）が用いられる。

【0033】このような構成のスパッタリング装置を用いて、上記の成膜条件により成膜されるCu膜は、そのCu膜中の酸素濃度が約0.5ppm（たとえば、0.2~0.8ppm）、硫黄濃度が約0.06ppm（たとえば、0.02~0.08ppm）となる。

【0034】次に、上記したようなスパッタリング装置を使って成膜される、Cu膜を用いた埋め込み配線の形成方法について説明する。図2は、微細なコンタクトホールを例に、その形成方法を概略的に示すものである。

【0035】まず、Si基板21上の層間絶縁膜22に、上記Si基板21の表面に達する深さの接続孔（凹部）23を形成する（同図（a）参照）。この接続孔23は、その開孔寸法が、たとえば、直径0.35mm、深さ1.0mmとされている。

【0036】次いで、上記絶縁膜22上に、粘着層としてのCVD-TiN（バリアメタル層）膜24を10nm程度の膜厚で形成した後、上記した成膜条件でのDCマグネトロンスパッタリング法により約1μm厚のCu膜25を形成する（同図（b）参照）。

【0037】すなわち、高純度な雰囲気（酸素濃度が0.5ppm以下で、硫黄濃度が0.06ppm程度）を制御できるチャンバ11を用意し、高純度のCuターゲット15を用いてCu膜25の成膜を行うことで、酸素濃度が0.5ppm以下で、硫黄濃度が0.06ppm程度の高純度なCu膜25が形成される。

【0038】そして、そのCu膜25をレーザー照射により加熱して、上記接続孔23内を完全に埋め込む（同図（c）参照）。この場合、高純度なCu膜25は、含有する酸素濃度や硫黄濃度が低いため、熱処理によってCuの表面拡散性および流動性が促進される。これにより、Cuの埋め込み性が向上される結果、接続孔23内をCu膜25によって完全に埋め込むことが可能となる。

【0039】しかる後、上記接続孔23以外の場所に残る余分な（不要な）Cu膜25などをCMP法によって除去することで、ボイドのない、Cuの微細コンタクトホール26が形成される（同図（d）参照）。

【0040】このように、Cu膜25中の酸素濃度および硫黄濃度を制御することにより、従来はボイドが発生していた、アスペクト比が1.25以上の、微細な接続孔23内にもCuを確実に埋め込むことが可能となる。

【0041】したがって、Cuによる微細コンタクトホール26をボイドなしで得ることができ、次世代の超高速デバイスへの適用が容易に可能となる。図3は、アスペクト比に対するボイド発生依存性（ボイドの形成とアスペクト比との相関性）を説明するために示すものである。

【0042】なお、同図（a）は、1mmの膜厚で成膜された高純度なCu膜（平均酸素濃度は0.5ppm、平均硫黄濃度は0.06ppm）に、イオン注入法により加速エネルギーを変えて酸素を注入し、含有する平均酸素濃度がそれぞれ1ppm、2ppm、3ppm、4ppm、および、5ppmとされた各Cu膜を、レーザー照射による熱処理により、ホール深さが1.0mmで、ホール径がそれぞれ0.1mm、0.2mm、0.35mm、0.5mm、および、0.65mmとされた各サンプルホールに対して埋め込んだ際の、該サンプルホール内でのボイドの発生をSEM（走査型電子顕微鏡）により観察した結果である。

【0043】同じく、同図（b）は、1mmの膜厚で成膜された高純度なCu膜に、イオン注入法により加速エネルギーを変えて硫黄を注入し、含有する平均硫黄濃度がそれぞれ1ppm、2ppm、3ppm、4ppm、および、5ppmとされた各Cu膜を、レーザー照射による熱処理により、ホール深さが1.0mmで、ホール径がそれぞれ0.1mm、0.2mm、0.35mm、0.5mm、および、0.65mmとされた各サンプルホールに対して埋め込んだ際の、該サンプルホール内でのボイドの発生をSEMにより観察した結果である。

【0044】これらの図からも明らかのように、ホール径が0.2mm以上、つまり、アスペクト比が5.0以下では、Cu膜中の酸素濃度および硫黄濃度が3ppmか、それ以下のとき、ボイドの発生は認められず、ホール内がCuによって確実に埋め込まれる（図中の○印参照）。

【0045】これに対し、酸素濃度および硫黄濃度が4 ppmを越えると、アスペクト比によらず、ボイドの発生が認められた(図中の×印参照)。また、ホール径が0.1 mmのとき、つまり、アスペクト比が10.0の場合では、酸素濃度および硫黄濃度にかかわらず、ボイドの発生が認められた。ただし、これはスパッタリング法による微細なホール内への成膜の限界などの、Cu膜中の酸素濃度や硫黄濃度とはまったく異なる因子が支配的になった結果であると考えられる。

【0046】このように、Cu膜中の酸素濃度や硫黄濃度が3 ppm以下となるように制御することで、Cuの表面拡散性や流動性を促進でき、アスペクト比が5.0以下の接続孔に対しても、ボイドのない、Cuの埋め込みが可能となる。

【0047】すなわち、上記の実施の一形態では、スパッタリング法により成膜される、Cu膜中の酸素濃度および硫黄濃度を制御するようにしている。これにより、熱処理によるCu膜の表面拡散性や流動性が改善されるため、従来はボイドが発生していた、アスペクト比が高い微細な接続孔内にもCuを確実に埋め込むことが可能となる。したがって、Cuの埋め込み性が大幅に向上されて、微細なコンタクトホールなどを有する、次世代の超高速デバイスへのCuの埋め込み配線の適用が容易に可能となるものである。

【0048】なお、上記した本発明の実施の一形態においては、レーザー照射による方式によってCuを熱処理して接続孔内に埋め込むようにした場合について説明したが、これに限らず、たとえばCuのスパッタリング時にSi基板を加熱して埋め込む方法や、スパッタリング後のCuをSi基板ごと熱処理して埋め込む加熱炉方式の場合にも、同様の効果が得られる。

【0049】また、基板と配線とをつなぐコンタクトホールを形成するための配線接続孔内へのCuの埋め込みに限らず、たとえば、配線の相互をつなぐスルーホールやビアホールを形成するための接続孔(貫通孔)内へのCuの埋め込みなどにも適用できる。

【0050】また、埋め込み配線のための溝内への埋め込みや、溝と接続孔とからなるデュアルダマシン構造の凹部内への埋め込みに対しても、同様に適用できる。さらに、高純度なCu膜の成膜は、DCマグネトロンスパッタリング法以外のスパッタリング装置によって行うことも可能である。

【0051】図4は、本発明の実施の他の形態にかかる、多チャンバスパッタリングCVD装置の概略を示すものである。同図(a)は、第1のスパッタリング装置による、Cuスパッタリングの前処理工程を示すものである。

【0052】まず、チャンバ31内で、約10 nm厚のTi層(第一層)がスパッタリング(処理(1))によって成膜される。次に、チャンバ32内で、約10 nm

のTiN層(第二層)が化学蒸着(処理(2))により成膜される。

【0053】チャンバ33およびチャンバ34は「ロードロック」チャンバと呼ばれ、チャンバ31およびチャンバ32内での加工のために、ウェーハをローディングおよびアンローディング(処理(3))するために用いられる。たとえば、ウェーハのグループが最初にチャンバ31内にロードされると、チャンバ31はロックされ、スパッタリング装置の内部が真空状態とされる。チャンバ31内のウェーハがまだ加工中の間に、チャンバ32内のすでに加工済みのウェーハを、加工すべきウェーハの新しいセットと交換することができる。

【0054】同図(b)は、第2のスパッタリング装置による、Cuスパッタリングの最終工程を示すものである。Cuは、チャンバ32'内でスパッタリングされる(処理(1))。ウェーハは、その後、チャンバ33'に搬送される。

【0055】もし、チャンバ32'内でのスパッタリング(処理(1))が、高温Cuスパッタリングの場合には、スパッタリング中に高純度なCu膜が効果的に焼鈍されるので、高純度なCu膜を得るためのさらなる熱処理は不要である。しかし、たとえ高温Cuスパッタリングが行われる場合であっても、より高純度なCu膜を得るためには、さらなる焼鈍またはレーザー処理を行うのが望ましい。

【0056】もし、チャンバ32'内でのスパッタリング(処理(1))が高温スパッタリングでない場合には、別途、Cuは焼鈍またはレーザー照射によって熱処理しなければならない。その場合、たとえば、波長が305 nm、出力が1.5~2.5 J/cm<sup>2</sup>の、Xe-C1型エキシマレーザーを使用することができる。

【0057】Ti層/TiN層の場合、下層のTi層は抵抗率が低く、上層のTiN層は酸化率が低い。上層のTiN層の酸化率が低いために、スパッタリング装置間でのウェーハの搬送が可能となる。

【0058】すなわち、TiN層の酸化率が低いために、第1のスパッタリング装置によるバリア層(Ti層/TiN層)の形成と、第2のスパッタリング装置による高純度なCu膜の成膜とが、異なるスパッタリング装置間でウェーハを搬送させることによって可能となる。

【0059】図5は、図4に示した構成の装置によって形成される半導体デバイスの構造を示すものである。半導体デバイスは、SiO<sub>2</sub>層39、層間絶縁膜40、Ti層41、TiN層42、および、高純度なCu膜43から構成される。Ti層41としては、たとえば、その厚さが5~20 nmとされている。TiN層42としては、たとえば、その厚さが5~15 nmとされている。

【0060】図に示した構造は、上述した図2(b)に示したものと同一加工段階にある。凹部内に高純度なCu膜43を埋め込むために、この構造の場合、たとえば

レーザ照射または焼鈍によるさらなる熱処理を必要とする。しかし、もし高純度なCu膜43を成膜させるために、高温Cuスパッタリングが使用される場合には、スパッタリング時にCuの凹部内への埋め込みが自動的に行われることになる。

【0061】図6は、図5に示した半導体デバイスの代替構造を示すものである。ここでは、Ti層41による側壁を有していない構造の半導体デバイスを例に示している。

【0062】この場合、Ti層41は、SiO<sub>2</sub>層39に接して成膜され、高純度なCu膜43に対する障壁としての役割を果たすようになっている。バリア層としては、特定の一般的特性を有していなければならない。すなわち、バリア層を第一層および第二層の二重層構造とする場合には、第一層は、抵抗率が低くなければならない。第二層は、Cuの拡散を防止できる特性を有するとともに、酸化率が低くなければならない。

【0063】たとえば、第一層および第二層は、Ti層/TiN層に限らず、いずれもTiNにより構成することができる。この場合、第一層のTiN層におけるNの濃度は0以上でなければならず、第二層のTiN層におけるNの濃度よりも低くなければならない。

【0064】また、第一層および第二層として、それぞれTiSiNを用いることもできる。この場合、第一層のTiSiN層におけるSiの濃度は0以上でなければならず、第二層のTiSiN層におけるSiの濃度よりも低くなければならない。また、この場合、第一層のTiSiN層におけるNの濃度は0以上でなければならず、第二層のTiSiN層におけるNの濃度よりも低くなければならない。

【0065】さらには、第一層にTiを用いた場合には、第二層として、TiNを用いる代わりにTiSiNを用いることもできる。もし、TiまたはWが第一層として用いられる場合には、WSiNを第二層として用いることもできる。

【0066】この他にも、バリア層としては、たとえば、酸化物、窒化物、オキシ窒化シリコン、炭化シリコン、Mo、MoN、Ta、Ta<sub>2</sub>N<sub>5</sub>、W、WN、V、VN、Nb、NbN、Ti、TiNなどを用いて構成することができる。

【0067】高純度なCu膜は、単一または二重バリア構造とともに使用することができる。一般的には、類似の高い抵抗率を有するものであれば、どんな単一または二重バリア構造でも採用することができる。

【0068】このように本発明は、高純度なCu膜を使用することによって、先行技術が一般的に要求するよりも低い焼鈍温度での熱処理を可能にしている。たとえば、一般的な先行技術の場合、450℃～600℃の焼鈍温度が必要なのに対し、本発明の場合には、380℃～550℃の範囲の焼鈍温度での熱処理が可能になる。

【0069】また、不純なCuとともに、エキシマレーザを使用する先行技術の場合には、Cuの蒸発がたびたび起こるが、本発明の場合には、Cuの蒸発の起こらない低出力レーザの使用が可能となる。

【0070】さらに、本発明では、好ましくはアスペクト比と高純度なCu膜中の酸素濃度との関係が下記の式によって定義される。

$$Z \times AR \leq 13$$

ここで、Zはppmによる酸素濃度、ARはアスペクト比である。

【0071】また、この発明のCu埋め込み配線技術は、他の高アスペクト比構造にも同様に適用できる。その他、この発明の要旨を変えない範囲において、種々変形実施可能なことは勿論である。

【0072】

【発明の効果】以上、詳述したようにこの発明によれば、Cuの埋め込み性を向上でき、Cuを用いた埋め込み配線の、次世代の超高速デバイスへの適用を可能とする半導体装置の製造方法を提供できる。

【図面の簡単な説明】

【図1】この発明の実施の一形態にかかる、スパッタリング装置を概略的に示す構成図。

【図2】同じく、微細なコンタクトホールを例に、その形成方法を説明するために示す概略断面図。

【図3】同じく、ボイドの、アスペクト比に対する発生の依存性を示す概略図。

【図4】この発明の実施の他の形態にかかる、スパッタリング装置を示す概略図。

【図5】同じく、かかる半導体デバイスの構造を示す要部の概略断面図。

【図6】同じく、かかる半導体デバイスの他の構造を示す要部の概略断面図。

【図7】従来技術とその問題点を説明するために、典型的なCuの埋め込み配線の形成方法を示す概略断面図。

【図8】同じく、従来のCuを用いた微細コンタクトホールの形成方法を示す概略断面図。

【符号の説明】

11…スパッタリングチャンバ

11a…ホルダ部

12…ガス供給源

13…ガス精製器

14…直流電源

15…Cuターゲット

21…Si基板

22…層間絶縁膜

23…接続孔

24…CVD-TiN膜

25…Cu膜

26…微細コンタクトホール

31, 32, 33, 34…チャンバ(第1のスパッタリ

ング装置)

31', 32', 33', 34'...チャンバ (第2のス  
パッタリング装置)

39...SiO<sub>2</sub> 層

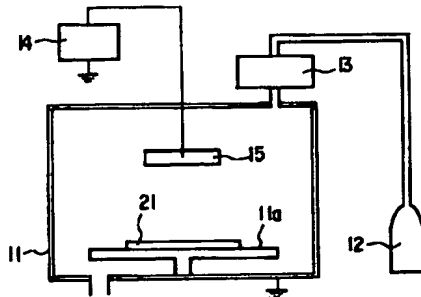
40...層間絶縁膜

41...Ti層

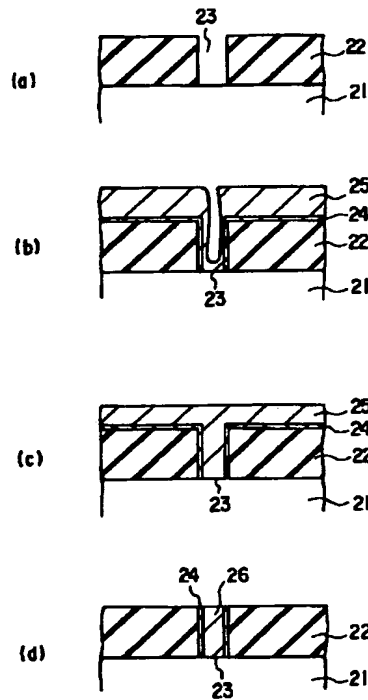
42...TiN層

43...高純度なCu膜

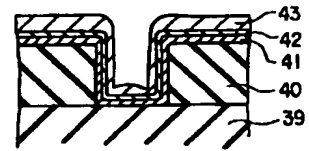
【図1】



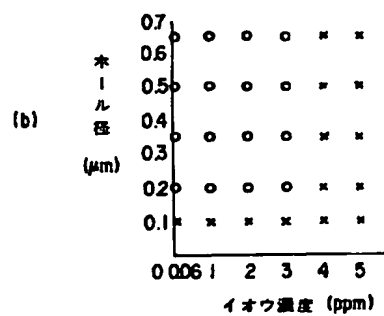
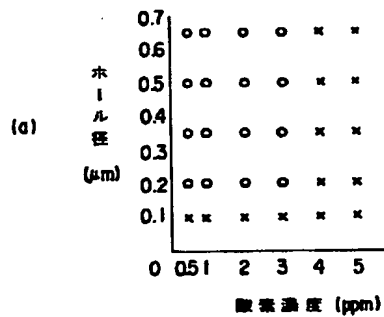
【図2】



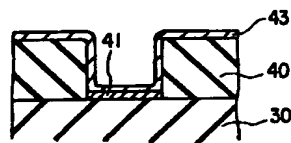
【図5】



【図3】

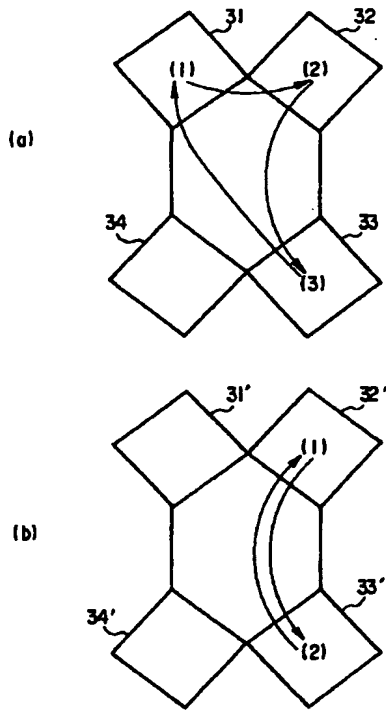


【図6】

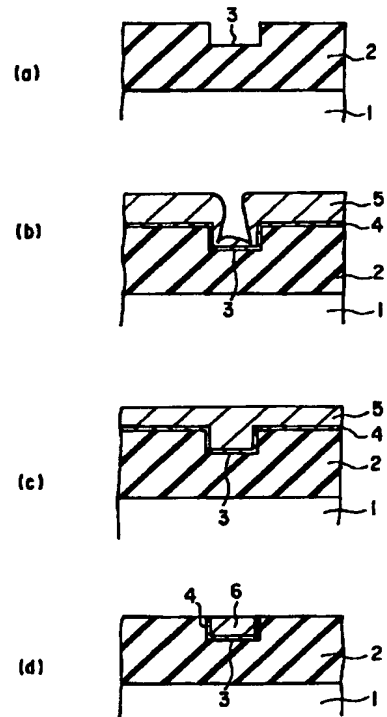




【図4】



【図7】



【図8】

